

Jordan and Hamburg UP  
F-7115

Motohiro YAMAZAKI

(212) 986-2340

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

#4

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月29日

出 願 番 号

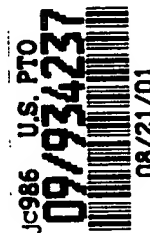
Application Number:

特願2000-259036

出 願 人

Applicant(s):

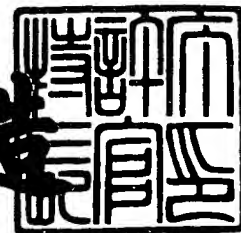
日本プレジジョン・サーキット株式会社



2001年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 00P00129

【提出日】 平成12年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/10

【発明者】

【住所又は居所】 東京都江東区福住二丁目4番3号 日本プレシジョン・サーキット株式会社内

【氏名】 山崎 基弘

【特許出願人】

【識別番号】 390009667

【氏名又は名称】 日本プレシジョン・サーキット株式会社

【代表者】 田淵 紀雄

【代理人】

【識別番号】 100067105

【弁理士】

【氏名又は名称】 松田 和子

【連絡先】 TEL : 047-470-7042 担当 鈴木  
FAX : 047-470-7044

【手数料の表示】

【予納台帳番号】 013767

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708463

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ゼロ値検出回路

【特許請求の範囲】

【請求項 1】 アナログ信号をデルタシグマ変調によって符号化してなる 1 ビットデジタル信号を受け、直前に入力された上記 1 ビットデジタル信号の所定のサンプル数分の加算をとる加算手段と、

上記加算手段の出力値に基づいて上記アナログ信号のゼロ値を判定する第 1 の信号を出力する第 1 の判定手段と、

上記第 1 の判定手段が所定の期間継続して上記第 1 の信号を出力したときに上記アナログ信号がゼロ値であることを示す第 2 の信号を出力する第 2 の判定手段と

を備えることを特徴とするゼロ値検出回路。

【請求項 2】 上記サンプル数は、上記アナログ信号がゼロ値の際に上記 1 ビットデジタル信号に現われる上記デルタシグマ変調に応じた繰り返しパターンのビット数の  $N$  ( $N$  は 1 以上の整数) 倍に相当することを特徴とする請求項 1 に記載のゼロ値検出回路。

【請求項 3】 上記加算手段は、上記 1 ビットデジタル信号を受ける上記サンプル数分の段数のシフトレジスタと、上記シフトレジスタの各段の値を加算する加算器とからなり、上記第 1 の判定手段は上記加算器の加算値が上記サンプル数の  $1/2$  に相当するときに上記第 1 の信号を出力することを特徴とする請求項 1 または 2 に記載のゼロ値検出回路。

【請求項 4】 上記加算手段は、上記 1 ビットデジタル信号を受ける上記サンプル数分の段数のシフトレジスタと、当該シフトレジスタに入力される 1 ビットデジタル信号の値と、当該シフトレジスタの最終段の値とを比較して異なる際にクロック信号を発生する比較手段と、上記クロック信号に基づき上記シフトレジスタに入力される 1 ビットデジタル信号が第 1 の論理レベルのときにアップカウントし、上記シフトレジスタに入力される 1 ビットデジタル信号が第 2 のレベルのときにダウンカウントする少なくとも上記サンプル数の  $1/2$  以上のビット数のカウント手段とからなり、上記第 1 の判定手段は上記カウンタのカウント値

が上記第 1 のサンプル数の  $1/2$  に相当するときに上記第 1 の信号を出力することを特徴とする請求項 1 または 2 に記載のゼロ値検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SACD (Super Audio Compact Disc) に記録された DSD (Direct Stream Digital) データ等と称される 1 ビットデジタル信号、すなわち、アナログ信号をデルタシグマ変調によって符号化してなる 1 ビットデジタル信号におけるゼロ値を検出するゼロ値検出回路に関するものである。

【0002】

【従来の技術】

SACD 等では、アナログ信号をデルタシグマ変調により、時間軸方向に連続する“1”、“0”2 値のデータ列からなる 1 ビットデジタル信号に符号化して記録している。このような 1 ビットデジタル信号は、1 ビット DAC (Digital to Analog Converter) によりアナログ信号に復調される。復調されたアナログ信号では、元のアナログ信号のゼロ値が続く場合でも、デルタシグマ変調の特性から 1 ビットデジタル信号は PCM (Pulse Code Modulation) データのようにゼロ値が連続するものではなく、サンプリング時に用いられたデルタシグマ変調器に固有のイドリング・パターン、例えば、1 0 1 0 1 0 1 0、1 0 0 1 0 1 1 0 等が現われるため、それによるノイズが発生する。このノイズを阻止する一つの手法としては、ゼロ値検出を行い、ゼロ値である場合にはアナログ信号をミュートする手法が挙げられる。例えば、特開平 1 0 - 3 3 5 9 5 6 号公報では、1 ビットデジタル信号をローパスフィルタによってアナログ信号に復調し、アナログ信号のゼロ値検出を行ってミュートする技術が開示されている。

【0003】

【発明が解決しようとする課題】

上記公報に開示され技術では、ゼロ値検出のためにアナログ信号に復調するローパスフィルタを設ける必要があり、アナログ回路による回路規模の増大、精度補償等の問題があった。

## 【 0 0 0 4 】

アナログ信号のゼロ値を示すアイドリング・パターンは、デルタシグマ変調器に固有であり、すなわち、S A C D等の記録媒体毎に異なるものであるため、デジタル信号の段階で単純にアイドリング・パターンをパターン・マッチングにより検出してゼロ値検出するのでは、特定の媒体に検出手段を特化させることとなり、汎用性に欠けるという問題があった。

## 【 0 0 0 5 】

また、ローパスフィルタをデジタルフィルタに置換したとしても回路規模の増大の問題は避けられない。

## 【 0 0 0 6 】

そこで、本発明の目的は、S A C D等の記録媒体に拘わらず、1ビットデジタル信号のゼロ値検出を簡易な回路構成にて可能とすることにある。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本発明のゼロ値検出回路は、アナログ信号をデルタシグマ変調によって符号化してなる1ビットデジタル信号を受け、直前に入力された上記1ビットデジタル信号の所定のサンプル数分の加算をとる加算手段と、上記加算手段の出力値に基づいて上記アナログ信号のゼロ値を判定する第1の信号を出力する第1の判定手段と、上記第1の判定手段が所定期間持続して上記第1の信号を出力したときに上記アナログ信号がゼロ値であることを示す第2の信号出力する第2の判定手段とを備えることが好ましい。

## 【 0 0 0 8 】

上記サンプル数は、上記アナログ信号がゼロ値の際に上記1ビットデジタル信号に現われる上記デルタシグマ変調に応じた繰り返しパターンのビット数のN（Nは1以上の整数）倍に相当することが好ましい。

## 【 0 0 0 9 】

上記加算手段は、上記1ビットデジタル信号を受ける上記サンプル数分の段数のシフトレジスタと、上記シフトレジスタの各段の値を加算する加算器とからなり、上記第1の判定手段は上記加算器の加算値が上記サンプル数の $1/2$ に相当

するときに上記第 1 の信号を出力することが好ましい。

【 0 0 1 0 】

上記加算手段は、上記 1 ビットデジタル信号を受ける上記サンプル数分の段数のシフトレジスタと、当該シフトレジスタに入力される 1 ビットデジタル信号の値と、当該シフトレジスタの最終段の値とを比較して異なる際にクロック信号を発生する比較手段と、上記クロック信号に基づき上記シフトレジスタに入力される 1 ビットデジタル信号が第 1 の論理レベルのときにアップカウントし、上記シフトレジスタに入力される 1 ビットデジタル信号が第 2 のレベルのときにダウンカウントする少なくとも上記第 1 サンプル数の  $1/2$  以上のビット数のカウント手段とからなり、上記第 1 の判定手段は上記カウンタのカウント値が上記サンプル数の  $1/2$  に相当するときに上記第 1 の信号を出力することが好ましい。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明の添付図面を参照して本発明の実施の形態を実施例に基づき詳細に説明する。図 1 は本発明の第 1 の実施例のゼロ値検出回路の構成を示すブロック図である。本例は S A C D (Super Audio Compact Disc) に記録された 1 ビットデジタル信号である D S D (Direct Stream Digital) データのゼロ値検出を行うものである。

【 0 0 1 2 】

シフトレジスタ 1 は、D S D データを受ける 8 段のシフトレジスタであり、クロック端子 C K に入来する動作クロック B S C K (D S D データのビットクロック) に応じてデータ端子 D より入力される D S D データを 1 ビットずつ後段にシフトする。D S D データのゼロ値を示す繰り返しパターンであるアイドリング・パターンが “1 0 1 0 1 0 1 0”、“1 0 0 1 0 1 1 0” 等であることから、シフトレジスタ 1 の段数はアイドリング・パターンのビット数に相当するものとしてあり、格段の加算値がアイドリング・パターンの各ビットの加算値と一致することをもってアイドリング・パターンの検出を可能としてある。

【 0 0 1 3 】

加算器 2 は、シフトレジスタ 1 の各段の値を加算するものであり、フルアダー

2 1 ~ 2 4、ハーフアダー 2 5 ~ 2 7 からなる。フルアダー 2 1 ~ 2 4 は互いに同一のものであり、入力端子 x、y、z への入力値を加算し、出力端子 S、キャリー出力端子 C から加算値を出力する。ハーフアダー 2 5 ~ 2 7 は互いに同一のものであり、入力端子 x、y への入力値を加算し、出力端子 S、キャリー出力端子 C から加算値を出力する。便宜上、これらフルアダー、ハーフアダーの入力端子を x、y、z、出力端子を S 等とし、同様の端子については同様の符号で示す。なお、以下に述べる構成要素の入力端子 D 1 ~ D 4、出力端子 Q 1 ~ Q 8 等についても同様とする。フルアダー 2 1 の入力端子 x、y、z はそれぞれシフトレジスタ 1 の 1 段 ~ 3 段の出力端子 Q 1 ~ Q 3 に接続され、フルアダー 2 2 の入力端子 x、y、z はそれぞれシフトレジスタ 1 の 4 段 ~ 6 段の出力端子 Q 4 ~ Q 6 に接続され、ハーフアダー 2 5 の入力端子 x、y はそれぞれシフトレジスタ 1 の 7 段、8 段の出力端子 Q 7、Q 8 に接続される。フルアダー 2 3 の入力端子 x、y、z はそれぞれフルアダー 2 1、2 2、ハーフアダー 2 5 の出力端子 S に接続される。フルアダー 2 4 の入力端子 x、y、z はそれぞれフルアダー 2 1、2 2、ハーフアダー 2 5 のキャリー出力端子 C に接続される。ハーフアダー 2 6 の入力端子 x、y はそれぞれフルアダー 2 3 のキャリー出力端子 C、フルアダーの出力端子 S に接続される。ハーフアダー 2 7 の入力端子 x、y はそれぞれフルアダー 2 4、ハーフアダー 2 4 のキャリー出力端子 C に接続される。フルアダー 2 3 の出力端子 S、ハーフアダー 2 6 の出力端子 S、ハーフアダー 2 7 の出力端子 S 及びキャリー出力端子 C をそれぞれ加算器 2 の出力端子 Q 1 ~ Q 4 とする。出力端子 Q 1 ~ Q 4 の値はそれぞれ 2 進数値を下位から示してあり、この 2 進数値はシフトレジスタ 1 の各段の値の加算値を示す。

## 【 0 0 1 4 】

レジスタ 3 は 4 ビットのレジスタであり、入力端子 D 1 ~ D 4 に受ける加算器 2 の出力端子 Q 1 ~ Q 4 の値をクロック端子 C K に入来する動作クロック B S C K に応じてラッチし、出力端子 Q 1 ~ Q 4 より出力するものである。

## 【 0 0 1 5 】

ゼロ判定回路 4 はレジスタ 3 の出力端子 Q 1 ~ Q 4 がそれぞれ、“0”、“0”、“1”、“0”を出力したときにゼロ値を判定し、ゼロ判定出力を発生する

。すなわち、シフトレジスタ 1 の各段の加算値が、D S D データのゼロ値を示すアイドリング・パターンの各ビットの加算値“4”、2進数値で“1 0 0”に一致したときにゼロ値判定をするものである。

#### 【0 0 1 6】

カウンタ 5 はゼロ判定回路 4 によりゼロ判定出力が継続している間、動作クロック B S C K をカウントし、所定のカウンタ値を越えるとゼロ値検出出力を発生するものである。このゼロ値検出出力をもって D S D データがゼロ値であるとし、図示しない D S D データ復調用の 1 ビット D A C (Digital to Analog Converter) やローパスフィルタ等の制御に用いる。例えば、ゼロ値検出出力に応答してアナログ信号にミュートをかけるのである。

#### 【0 0 1 7】

次に本例の動作について説明する。

動作クロック B S C K に同期して D S D データがシフトレジスタ 1 に順次与えられ、シフトレジスタ 1 の各段の出力端子 Q 1 ～ Q 8 からは最新の D S D データ以前の 8 ビットのデータが出力される。加算器 2 はこれら出力端子 Q 1 ～ Q 8 の値を加算し、レジスタ 3 に出力する。レジスタ 3 は動作クロック B S C K に同期して加算値を保持し、ゼロ判定回路 4 は加算値が“4”であれば、ゼロ判定出力を発生する。このゼロ判定出力により、カウンタ 5 のリセットが解除され、カウンタ 5 は動作クロック B S C K をカウントする。D S D データがアイドリング・パターンを繰り返すと、加算器 2 の出力する加算値“4”が持続し、カウンタ 5 のカウンタ値が所定の値を超えると、カウンタ 5 はゼロ値検出出力を発生する。

アイドリング・パターンの繰り返しが途絶え、D S D データが“1”、“0”の何れか一方に偏ると、加算値は“4”から異なる値となり、ゼロ判定出力が途絶え、カウンタ 5 がリセットされ、ゼロ値検出出力が途絶える。

#### 【0 0 1 8】

以上のように本例では、アイドリング・パターンは“1 0 1 0 1 0 1 0”、“1 0 0 1 0 1 1 0”等、D S D データのサンプリングに用いられたデルタシグマ変調に依存して“1”、“0”の配列がなされるものであるが、特定サンプル数毎に繰り返し現れ、特定サンプル数における各サンプルの加算値が特定ビッ



ト数の  $1/2$  に相当することに着目し、これを検出している。言い換えれば D S D データの特定サンプル数を平均化し、そのデューティ  $1/2$  をみているのである。特定サンプル数、ここでは “8” に相当する段数のシフトレジスタ 1 の各段の値を加算して加算値が “4” である状態が所定の期間継続したときにゼロ値検出出力を発生する。このため、アイドリング・パターンによらずゼロ値検出が行え、しかもアナログまたはデジタル構成のローパスフィルタを用いることなく簡易な構成でゼロ値検出を実現可能となる。簡易なデジタル演算処理により D S D データのゼロ値検出が行えるため、このゼロ値検出出力を用いてデジタルフィルタまたは 1 ビット D A C を制御することが可能となる。例えば、D S D データのゼロ値においては “0”、“1” の繰り返しデータを 1 ビット D A C に入力するミュート制御等を、フィルタ演算や D A C のアナログ性能等に影響されずに行うことが可能となる。

## 【 0 0 1 9 】

上記第 1 の実施例ではシフトレジスタの段数を 8 段としたが、本発明はこれに限るものではなく、アイドリング・パターンのビット数の  $N$  ( $N$  は 1 以上の整数) 倍に相当する段数であっても良い。例えば図 2 に示すように  $8 \times N$  段のシフトレジスタ 6 を用いる。加算器 7 は  $8 \times N$  段の各値を加算し、 $4 \times N$  ビットの出力端子から加算値を発生する。レジスタ 8 は  $4 \times N$  ビットのレジスタであり、加算器 7 の加算値をラッチする。ゼロ判定回路 9 はレジスタ 8 の出力する加算値が “ $4 \times N$ ” であればゼロ判定出力を発生する。なお、カウンタ 5 は図 1 に示すものと同様のものであり、同様の符号で示してあり、以下に述べる図においても図 1 と同様の構成は同様の符号にて示す。図 2 のように構成を変更しても図 1 に示した構成のものと同様の動作により同様の作用効果を奏する。

## 【 0 0 2 0 】

次に本発明の他の実施例について図 3 のブロック図を参照しながら説明する。

上記一実施例では、加算器をフルアダー、ハーフアダーで構成したが、本発明はこれに限るものではなく、本例で述べる通りに構成しても良い。加算器 1 0 は比較器 1 0 1 とアップダウンカウンタ 1 0 2 とからなる。比較回路 1 0 1 はシフトレジスタ 1 の初段の入力端子 D の値と最終段の出力端子 Q 8 の値とを比較し、

両者が異なるときに端子CKよりクロックパルスを1パルス発生し、シフトレジスタ1の出力端子Q8が“0”のときは端子U/Dから“1”を出力し、出力端子Q8が“1”のときは端子U/Dから“0”を出力する。アップダウンカウンタ102は、比較回路101の端子U/Dが“1”のとき、比較回路101の発生するクロックパルスをアップカウントし、端子U/Dが“0”のときダウンカウントするものである。これ以外の構成は図1に示すものと同様のものである。

#### 【0021】

次に本例の動作について説明する。

まず、シフトレジスタ1の全ての段に“0”が入っており、アイドリング・パターン“10101010”が繰り返し入力するものとし、アップダウンカウンタ102のカウント値は“0”であるとする。最初の“1”がシフトレジスタ1に入力されると、比較回路101はシフトレジスタ1の初段の入力端子Dの値“1”と最終段の出力端子Q8の値“0”とを比較し、端子CKにクロックパルスを発生し、端子U/Dを“1”とする。アップダウンカウンタ102は端子U/Dに“1”を受け、端子CKに受けるクロックパルスをカウントしてカウント値を“1”とする。次の“0”がシフトレジスタ1に入力されると、比較回路101はシフトレジスタ1の初段の入力端子Dの値“0”と最終段の出力端子Q8の値“0”とを比較し、両者の値が一致するため、端子CKにクロックパルスを発生しない。アップダウンカウンタ102のカウント値は“1”のままとなる。以降同様にしてアイドリング・パターンが“1010101”までシフトレジスタ1に入力されるとアップダウンカウンタ102のカウント値は“4”となる。アップダウンカウンタ102の出力端子Q1～Q4からはそれぞれ“0”、“0”、“1”、“0”となり、これらはレジスタ3を介してゼロ判定回路4に出力される。ゼロ判定回路4はゼロ判定出力を発生する。次に“0”がシフトレジスタ1に入力され、アイドリング・パターンが“10101010”まで入力されても、アップダウンカウンタ102はカウント値を“4”に保持して、ゼロ判定回路4はゼロ判定出力を保持する。

#### 【0022】

次のアイドリング・パターンの“10101010”の先頭の“1”がシフト

レジスタ1に入力されると、最初のアイドリング・パターンの先頭の“1”がシフトレジスタ1の最終段の出力端子Q8から出力され、比較回路101は両者の一致を受けてクロックパルスを発生せず、アップダウンカウンタ102はカウント値を“4”に保持して、ゼロ判定回路4はゼロ判定出力を保持する。以降アイドリング・パターンが“10101010”が続く限り、ゼロ判定回路4はゼロ判定出力を保持し、カウンタ5のカウント値が増加し、所定のカウント値を越えるとゼロ値検出出力を発生する。

#### 【0023】

さて、アイドリング・パターンの入力途絶えると次のような動作となる。シフトレジスタ1の初段から最終段にそれぞれ“0”、“1”、“0”、“1”、“0”、“1”、“0”、“1”が格納されており、アイドリング・パターンが途絶え、例えば“11・・・”が順にシフトレジスタ1に入力されたとする。先頭の“1”に対して比較回路101はクロックパルスを発生せず、アップダウンカウンタ102はカウント値を“4”に保持され、次の“1”に対して比較回路101はクロックパルスを発生し、端子U/Dを“1”としてアップダウンカウンタ102はカウント値を“5”にアップカウントする。これを受けてゼロ判定回路4はゼロ判定出力を出力せず、カウンタ5はリセットされ、ゼロ値検出出力の出力は途絶える。

#### 【0024】

以上のように本例においてもアイドリング・パターン“10101010”の各ビットの加算値“4”をもってゼロ判定出力を発生し、このゼロ判定出力が所定の期間継続したときにゼロ値検出出力を発生する。すなわち、上記第1の実施例と同様の作用効果を奏する。

#### 【0025】

なお、本例においてもシフトレジスタの段数は8段に限らず、アイドリング・パターンのビット数のN（Nは1以上の整数）倍に相当する段数であっても良い。特に図示しないが、図2に示す8×N段のシフトレジスタを用い、比較回路101は最終段、8×N段目の出力と初段の入力とを比較し、アップダウンカウンタは4×N段のカウンタとし、レジスタ3とゼロ判定回路4とをそれぞれ図2に

示すレジスタ 8 とゼロ判定回路 9 とに置き換えた構成とすることが可能である。

【 0 0 2 6 】

【発明の効果】

本発明によれば、アイドリング・パターンによらずゼロ値検出が行え、しかもアナログまたはデジタル構成のローパスフィルタを用いることのない簡易な構成でゼロ値検出を実現可能となる。簡易なデジタル演算処理により D S D データのゼロ値検出が行えるため、このゼロ値検出出力を用いて後段のデジタルフィルタや 1 ビット D A C を制御することが可能となる。例えば、D S D データのゼロ値においては“0”、“1”の繰り返しデータを D A C に入力するミュート制御等を、フィルタ演算や D A C のアナログ性能等に影響されずに行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施例のゼロ値検出回路の構成を示すブロック図。

【図 2】

本発明の一実施例のゼロ値検出回路を一般化した構成を示すブロック図。

【図 3】

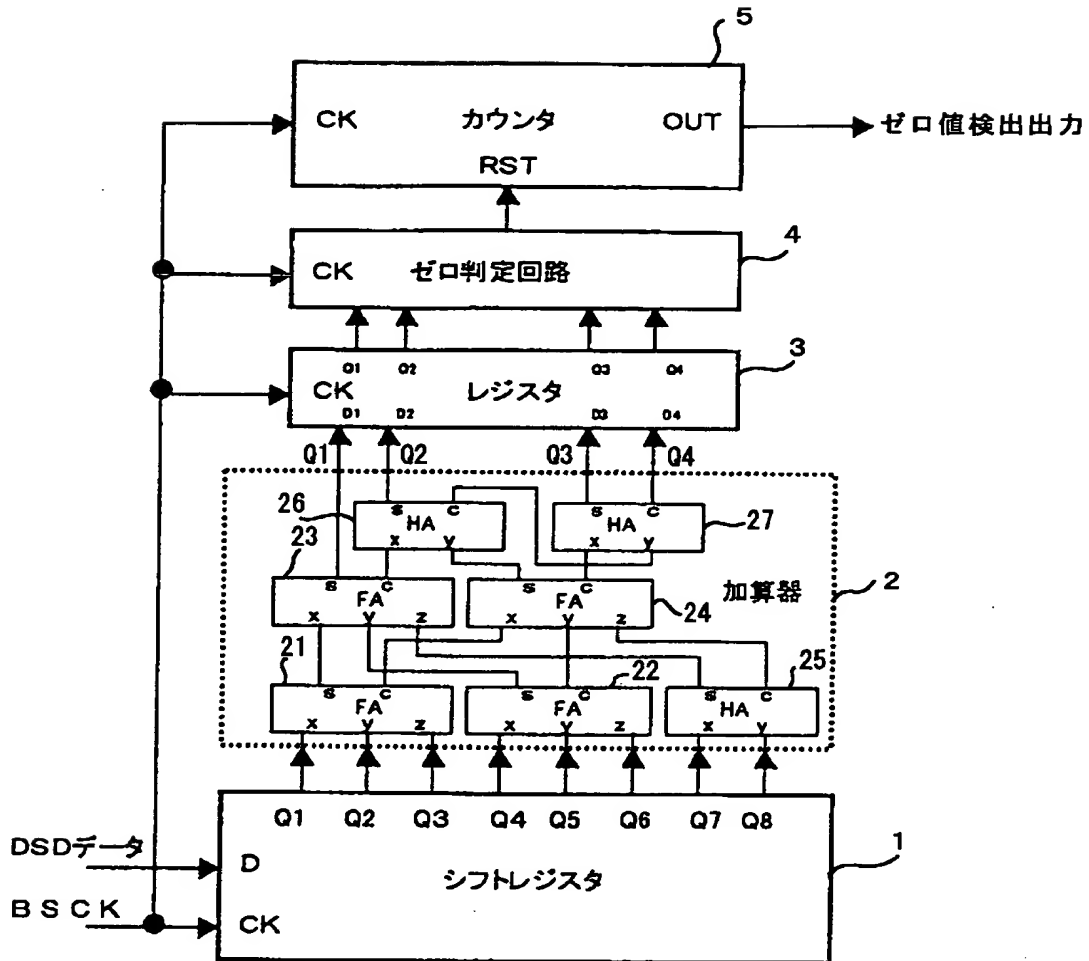
本発明の他の実施例のゼロ値検出回路の構成を示すブロック図。

【符号の説明】

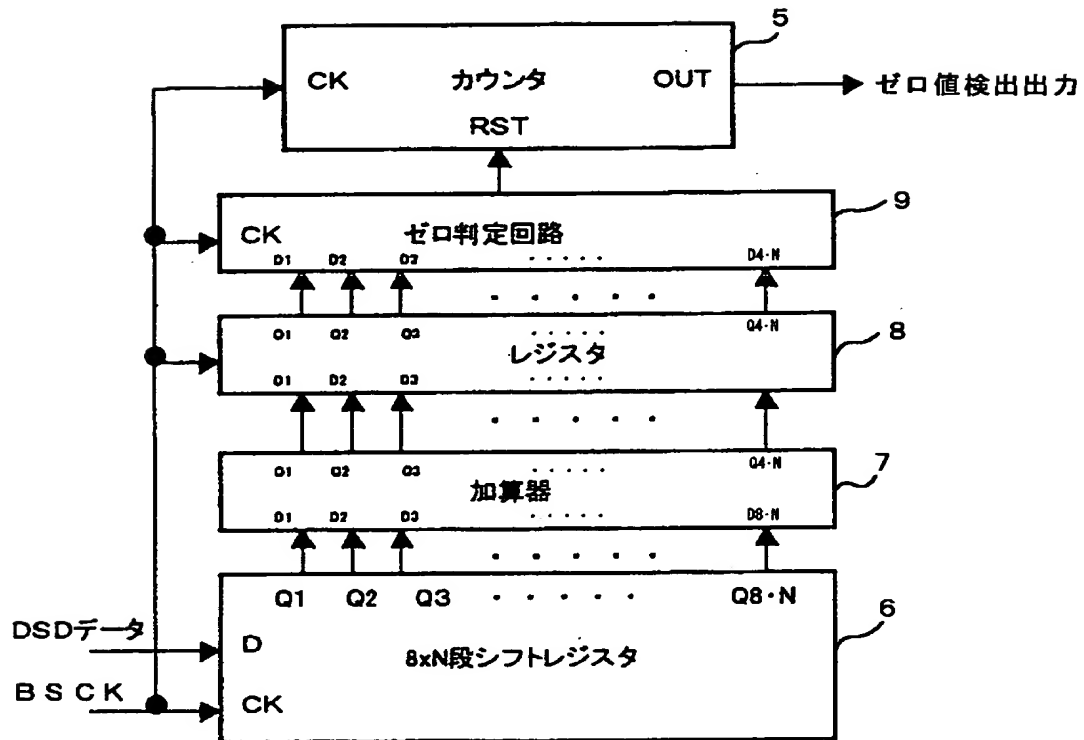
- 1 シフトレジスタ（加算手段）
- 2 加算器（加算手段）
- 3 レジスタ（第 1 の判定手段）
- 4 ゼロ判定回路（第 1 の判定手段）
- 5 カウンタ（第 2 の判定手段）
- 6 シフトレジスタ（加算手段）
- 7 加算器（加算手段）
- 8 レジスタ（第 1 の判定手段）
- 9 ゼロ判定回路（第 1 の判定手段）
- 1 0 加算器（加算手段）

【書類名】 図面

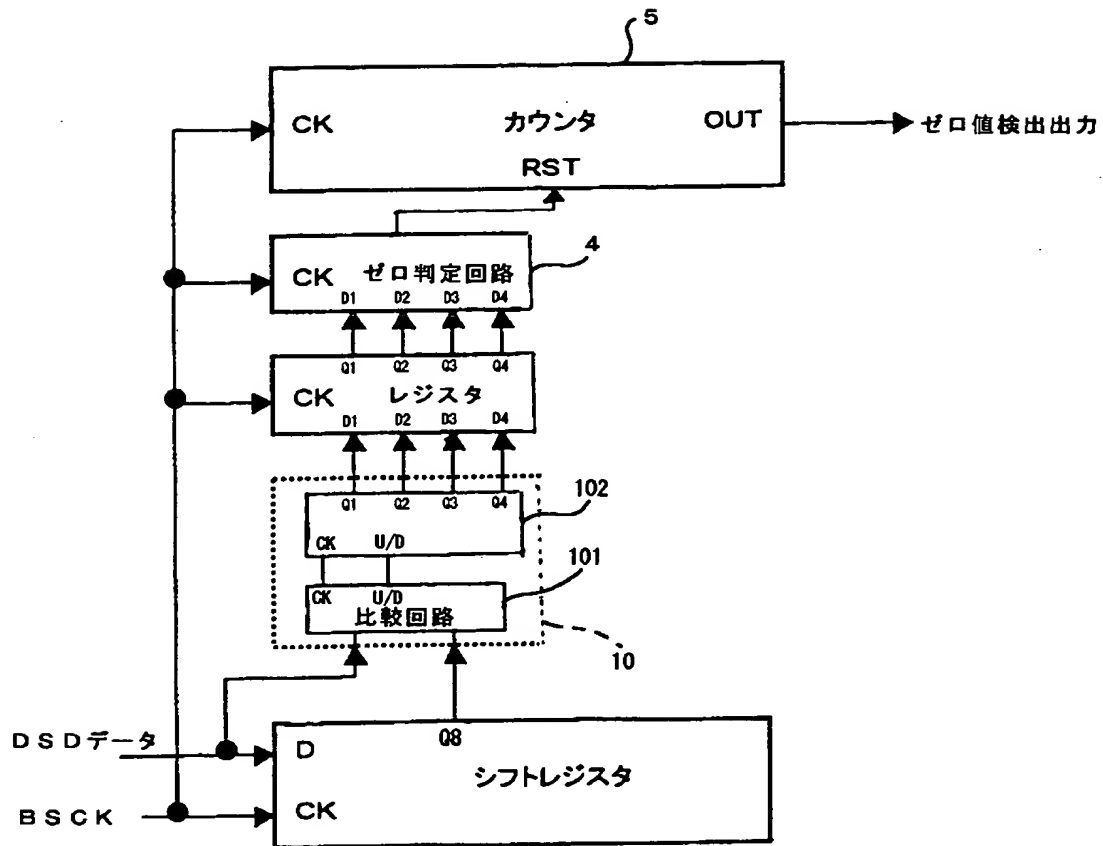
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 SACD等の記録媒体に拘わらず、1ビットデジタル信号のゼロ値検出を簡易な回路構成にて可能とする。

【解決手段】 1ビットデジタル信号を構成するDSDデータを、これらDSDデータにこれらがゼロ値の際に現われる“10101010”等のアイドリング・パターンのビット数に相当する段数、例えば8ビットのシフトレジスタ1に順次与え、加算器2によりシフトレジスタ1の各段の値を加算し、ゼロ判定回路4は加算値が上記ビット数の $1/2$ であれば、ゼロ判定出力を発生する。カウンタ5はゼロ判定出力の間カウントし、カウント値が所定の値を超えると、ゼロ値検出出力を発生する。これにより、SACD等の記録媒体によって異なるアイドリング・パターンによらず1ビットデジタル信号のゼロ値検出を簡易な回路構成にて可能とする。

【選択図】 図1



出 願 人 履 歴 情 報

識別番号 [390009667]

1. 変更年月日 2000年 7月 6日  
[変更理由] 住所変更  
住 所 東京都江東区福住二丁目4番3号  
氏 名 日本プレシジョン・サーキット株式会社